

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-308189

(43)Date of publication of application : 17.11.1998

(51)Int.Cl.

H01J 31/12
G09G 3/22

(21)Application number : 09-117272

(71)Applicant : YAMAHA CORP

(22)Date of filing : 07.05.1997

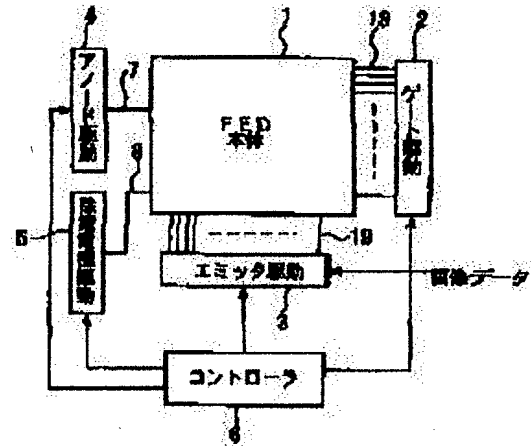
(72)Inventor : YAMASHITA MASAYOSHI

(54) FIELD EMISSION TYPE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly reliable FED (Field Emission Device) capable of preventing the flickering on a screen by the discharge and the breakage of the emitter when the continuous display is performed.

SOLUTION: An FED body 1 comprises a display substrate in which pixels having the filed emitter to be driven by a gate electrode are arranged in matrix form, and substrates opposite to each other on which an anode electrode and a phosphor film are formed. A gate drive circuit 2 successively drives a plurality of gate signal lines 19 at a specified cycle. An emitter drive circuit 3 drives a plurality of emitter signal line 19 synchronous with the drive of the gate signal line. An anode drive circuit 4 supplies an anode voltage to an anode electrode terminal 7, and intermittently sets the anode voltage to be 0V during the display action. A static eliminating electrode is arranged in a non-display region surrounding the display range of the display substrate, and a static eliminating electrode drive circuit 5 intermittently impart a negative bias to a static eliminating electrode terminal 8 in the display action.



LEGAL STATUS

[Date of request for examination]

27.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl.⁴

識別記号

F I

H 0 1 J 31/12

H 0 1 J 31/12

C

G 0 9 G 3/22

G 0 9 G 3/22

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21)出願番号

特願平9-117272

(22)出願日

平成9年(1997)5月7日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 山下 正芳

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

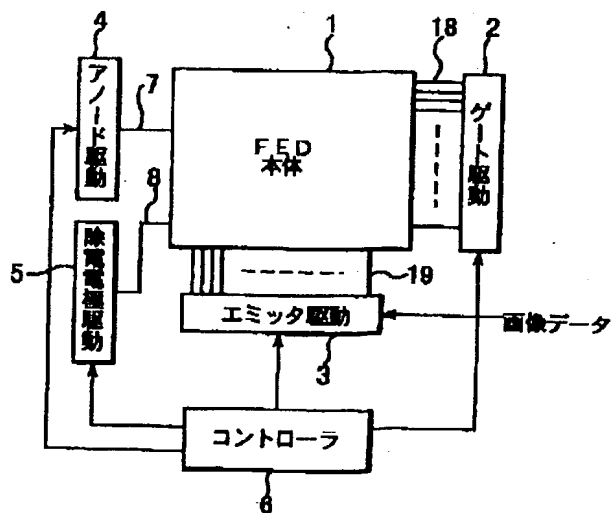
(74)代理人 弁理士 伊丹 勝

(54)【発明の名称】 電界放出型ディスプレイ装置

(57)【要約】

【課題】 連続表示を行った場合の放電による画面のちらつきやエミッタ破壊を防止できる高信頼性のFEDを提供する。

【解決手段】 FED本体1は、ゲート電極により駆動される電界放出エミッタを持つ画素を行列配置した表示基板と、アノード電極及び蛍光体膜を形成した対向基板とから構成される。ゲート駆動回路2は、複数本のゲート信号線18を所定のサイクルで順次駆動する。エミッタ駆動回路3は、ゲート信号線駆動に同期して複数本のエミッタ信号線19を駆動する。アノード駆動回路4は、アノード電極端子7にアノード電圧を与えると共に、表示動作内で間欠的にアノード電圧をOVにする。表示基板の表示領域を取り囲む非表示領域には除電電極が配設され、除電電極駆動回路5は表示動作内で間欠的に除電電極端子8に負バイアスを与える。



【特許請求の範囲】

【請求項1】 ゲート電極により駆動される電界放出型エミッタを持つ複数の画素が行列配置され、行方向の画素のゲート電極を共通駆動する複数本のゲート信号線と列方向の電界放出型エミッタを共通駆動する複数本のエミッタ信号線とが形成された表示基板と、

この表示基板に対向配置されてアノード電極と蛍光体膜が形成された対向基板と、

これらの表示基板と対向基板の間を真空封止する封止手段と、

前記複数本のゲート信号線を所定のサイクルで順次駆動するゲート駆動手段と、

このゲート駆動手段と同期して前記複数本のエミッタ信号線を駆動するエミッタ駆動手段と、

前記アノード電極にアノード電圧を与えると共に表示動作内で間欠的に前記アノード電圧を低下させるアノード駆動手段とを備えたことを特徴とする電界放出型ディスプレイ装置。

【請求項2】 ゲート電極により駆動される電界放出型エミッタを持つ複数の画素が行列配置された表示領域を有し、行方向の画素のゲート電極を共通駆動する複数本のゲート信号線と列方向の電界放出型エミッタを共通駆動する複数本のエミッタ信号線とが形成され、且つ画素が行列配置された表示領域の周囲の非表示領域に前記表示領域を取り囲むように除電電極が形成された表示基板と、

この表示基板に対向配置されてアノード電極と蛍光体膜が形成された対向基板と、

これらの表示基板と対向基板の間を真空封止する封止手段と、

前記複数本のゲート信号線を所定のサイクルで順次駆動するゲート駆動手段と、

このゲート駆動手段と同期して前記複数本のエミッタ信号線を駆動するエミッタ駆動手段と、

前記アノード電極にアノード電圧を与えると共に表示動作内で間欠的に前記アノード電圧を低下させるアノード駆動手段とを備えたことを特徴とする電界放出型ディスプレイ装置。

【請求項3】 前記表示基板上の前記除電電極は常時接地されていることを特徴とする請求項2記載の電界放出型ディスプレイ装置。

【請求項4】 前記表示基板上の前記除電電極は表示動作内で間欠的に負電位に設定されることを特徴とする請求項2記載の電界放出型ディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、微小な電界放出型エミッタを配列形成してなる表示基板を用いて構成される電界放出型ディスプレイ装置に関する。

【0002】

【従来の技術】 近年、フラットパネルディスプレイとして、微小エミッタを電子源として用いたFED (Field Emission Device) が注目されている。FEDは、ゲート電極により駆動される電界放出型エミッタを持つ複数の画素が行列配置された表示基板と、この表示基板に対向配置されてアノード電極と蛍光体膜とが形成された対向基板とから構成される。表示基板と対向基板の間は真空封止される。表示基板上の行方向の画素のゲート電極を共通駆動する複数本のゲート信号線と、列方向の画素の電界放出型エミッタを共通駆動する複数本のエミッタ信号線とは外部に取り出される。そして、ゲート信号線を順次駆動しながら、これに同期してエミッタ信号線に画像データを与えることにより、いわゆる線順次駆動の画像表示が可能となる。

【0003】 FEDは、 $10^{-6} \sim 10^{-7}$ Torr程度の真空度が要求される真空デバイスであり、残留ガスがあるとエミッタの放出電流が減少し、蛍光発光が減衰する。このため、他の真空デバイスと同様に、FED内部に残留ガスを吸着するゲッター材を設けることが行われる。これまでに、FEDでのゲッター材の配置法について、種々の提案がなされている (例えば、米国特許第5, 063, 323号、米国特許第5, 223, 766号、米国特許第5, 520, 563号等)。

【0004】

【発明が解決しようとする課題】 FEDにゲッター材を設けると、非動作状態においては、残留ガスの発生速度より排気速度を大きくすることができ、必要な真空度を保つことができる。しかし、連続的な画像表示を行った場合、エミッタからの電子線がアノード側の蛍光体表面を叩くことにより、或いはエミッタが加熱することにより発生するガスの発生速度が排気速度を越えて次第にガスが溜まる。このため、例えば1時間といった長時間表示動作を続けると、放電が起こって画面のちらつきが生じ、またエミッタ破壊が進むという事態が生じる。この放電の原因は、高電圧バイアスされたアノード電極上の蛍光体が絶縁物又は高抵抗の半導体であるために、蛍光体が帯電することにある。蛍光体が帯電すると、その帯電電荷によって真空中に溜まった残留ガスがイオン化し、更にイオン化したガスが電界放出型エミッタ近傍の絶縁膜に吸着すると、絶縁膜表面の表面単位が低下して放電が起こることになる。この放電とはほぼ同時に絶縁破壊も生じ、放電が連続的に起きる。

【0005】 この発明は、上記事情を考慮してなされたもので、連続表示を行った場合の放電による画面のちらつきや電界放出型エミッタ破壊を防止できるようにした高信頼性のFEDを提供することを目的としている。

【0006】

【課題を解決するための手段】 この発明に係るFEDは、ゲート電極により駆動される電界放出型エミッタを持つ複数の画素が行列配置され、行方向の画素のゲート

電極を共通駆動する複数本のゲート信号線と列方向の電界放出型エミッタを共通駆動する複数本のエミッタ信号線とが形成された表示基板と、この表示基板に対向配置されてアノード電極と蛍光体膜が形成された対向基板と、これらの表示基板と対向基板の間を真空封止する封止手段と、前記複数本のゲート信号線を所定のサイクルで順次駆動するゲート駆動手段と、このゲート駆動手段と同期して前記複数本のエミッタ信号線を駆動するエミッタ駆動手段と、前記アノード電極にアノード電圧を与えると共に表示動作内で間欠的に前記アノード電圧を低下させるアノード駆動手段とを備えたことを特徴とする。

【0007】この発明に係るFEDはまた、ゲート電極により駆動される電界放出型エミッタを持つ複数の画素が行列配置された表示領域を有し、行方向の画素のゲート電極を共通駆動する複数本のゲート信号線と列方向の電界放出型エミッタを共通駆動する複数本のエミッタ信号線とが形成され、且つ画素が行列配置された表示領域の周囲の非表示領域に前記表示領域を取り囲むように除電電極が形成された表示基板と、この表示基板に対向配置されてアノード電極と蛍光体膜が形成された対向基板と、これらの表示基板と対向基板の間を真空封止する封止手段と、前記複数本のゲート信号線を所定のサイクルで順次駆動するゲート駆動手段と、このゲート駆動手段と同期して前記複数本のエミッタ信号線を駆動するエミッタ駆動手段と、前記アノード電極にアノード電圧を与えると共に表示動作内で間欠的に前記アノード電圧を低下させるアノード駆動手段とを備えたことを特徴とする。この場合、前記表示基板上の除電電極は、常時接地されているか或いは、表示動作内で間欠的に負電位に設定されるものとする。

【0008】この発明によるFEDでは、通常、常時高電圧が印加されるアノード電極を表示動作内で間欠的に低電位にするというアノード駆動を行うことによって、アノード電極上の蛍光体の帯電電荷を逃がすことができる。これにより、表示動作を連続して行い、ゲッターリングによっては排気し切れない残留ガスが溜まったとしても、残留ガスのイオン化を抑制することができる。即ち、定期的に蛍光体の帯電電荷を除去することによって、蛍光体の帯電ポテンシャルを残留ガスのイオン化エネルギーより低く保つことができ、これにより連続表示を行ったときの無用なエミッタ放電を防止することができる。

【0009】またこの発明によれば、表示基板側の画素が配列された表示領域の周囲を取り囲むように除電電極を設けてこれを常時接地し、或いは間欠的に負電位に設定することにより、イオン化したガスが表示領域周囲に吸着することによる帯電電荷を除去することができ、これにより連続表示動作を行った場合のエミッタ放電を防止することができる。

【0010】

【発明の実施の形態】以下、図面を参照して、この発明の実施例を説明する。図1はこの発明の一実施例によるFEDのシステム構成を示し、図2はそのFED本体1の構成を示している。図2(a)はFED本体1の表示基板側のレイアウトであり、同図(b)はFED本体1を拡大してその一部を示した断面図であり、図3は更に4画素領域を拡大したレイアウトとそのA-A'及びB-B'断面図を示している。

10 【0011】FED本体1は、図2に示すように表示基板10とこれに対向して配置された対向基板20とから構成される。表示基板10にはこの実施例の場合、4個の電界放出型エミッタ（以下、単にエミッタと称する）12が形成された領域を1画素として複数の画素 P_{ij} （ $i=1\sim m$, $j=1\sim n$ ）が行列配置されている。表示基板10は例えばシリコン基板11を用いてこれに先鋭な先端を持つエミッタ12を配列形成したもので、列方向に並ぶ画素のエミッタ12は共通にエミッタ電極15に接続されている。n本のエミッタ電極15は互いに絶縁層14により分離されて、それぞれ外部にエミッタ信号線19として取り出される。

20 【0012】各エミッタ12を駆動するゲート電極13は、基板11上に絶縁層16を介して形成されて各エミッタ12が露出する孔が加工されている。またゲート電極13は、図3に示すように行方向の画素を共通駆動するようにm本配設され、それぞれ外部にゲート信号線18として取り出されている。この実施例の場合、図2(a)に示すように、表示基板10の画素 P_{ij} が配列された表示領域の周囲の非表示領域の絶縁層16上には、表示領域を取り囲むように帯電した電荷を除去するための除電電極17が形成されている。

40 【0013】対向基板20はガラス等の透明基板21を用いて作られ、その表面にはITO等の透明導電膜によるアノード電極22が表示基板10の表示領域に対向する範囲全面に形成され、アノード電極22上には蛍光体膜23が形成されている。表示基板10と対向基板20の間は低融点ガラス等の封止材30により真空封止される。なお、図2では省略しているが、対向基板20側のアノード電極22及び表示基板10側の除電電極17もそれぞれ、図1に示すように、アノード電極端子7及び除電電極端子8として外部に取り出される。また、図では省略しているが、バリウム合金或いはジルコニウム合金等からなるゲッター材も内部に封入される。

50 【0014】フルカラー画像表示の場合であれば、R、G、B用の各画素を互いに隣接するように、各色について例えば、480行×640列のマトリクスとなるように画素が配列され、各色の画素に応じて蛍光体膜23の材料が選択される。この場合、総計921,600個の画素が設けられ、対角で5~10インチ程度の大きさのFED本体が作られることになる。

【0015】この様に構成されたFED本体1の駆動回路として、図1に示すように、ゲート信号線18を順次駆動するゲート駆動回路2、及びこのゲート駆動回路2と同期してエミッタ信号線19を駆動するエミッタ駆動回路3が設けられる。通常の線順次駆動による画像表示を行う場合であれば、エミッタ駆動回路3には一ラインずつの画像データが順次送り込まれる。n本のエミッタ信号線19には一ラインを構成する画像データが同時に与えられ、ゲート駆動回路2によってゲート信号線18の一つが選択されて一ラインの画像表示がなされ、以下

10 順次ゲート信号線18を選択駆動することにより、二次元走査による画像表示が行われる。これらのゲート駆動回路2及びエミッタ駆動回路3の同期制御を行うのが、コントローラ6である。

【0016】この実施例においては、アノード電極端子7に対して、上述した画像表示走査に同期して電圧を印加するように、コントローラ6によりタイミング制御されるアノード駆動回路4が設けられている。また、除電電極端子8についても同様に、画像表示走査に同期して

20 所定の電圧を印加するように、コントローラ6によりタイミング制御される除電電極駆動回路5が設けられている。なお実際の製造においては、ゲート駆動回路2やエミッタ駆動回路3の一部或いは全部をFED本体1内部に、例えば表示基板10上に集積形成することもできる。

【0017】この実施例での具体的な表示制御動作を、図4を参照して次に説明する。表示動作は通常、60～80フレーム/secで行われる。図4では、1secに60フレームの表示を行う場合について、動作波形を示している。この場合、1フレームは12～16msecである。ゲート信号線(G1, G2, ..., Gm)18は図示のように、各フレーム内で順次パルス駆動され、G1, G2, ..., Gmにそれぞれ同期して画像データD1, D2, ..., Dmがエミッタ信号線19に与えられる。図に示すD1, D2, ..., Dmはそれぞれ、一ライン分の画像データである。実際の動作条件では例えば、

30 選択されたゲート信号線18のパルス電圧は+25Vであり、画像データが与えられるエミッタ信号線19の電圧は-25Vであり、ゲート・エミッタ間電圧50Vによって電子放出が生じ、その電子は、500～6kVのアノード電圧が与えられたアノード電極22に向かって加速されて蛍光体膜23に衝突して発光することになる。なお実際の画像データは、階調データ及び輝度データによりパルス幅変調されたデータとしてエミッタ信号線19に与えられる。

【0018】この実施例の場合、図4に示すように、1secの表示動作の間、実際にはフレーム1～59までを表示期間とし、最終のフレーム60の期間(12～16msec)は表示を行わないで帯電電荷除去を行う除電期間とする。即ち、フレーム60の期間は画像データ

を与えず、この期間アノード駆動回路4によってアノード電極端子7を0Vにし、同様に通常0Vである除電電極端子8を除電電極駆動回路5によって負電位、例えば-10Vとする。

【0019】この様に、表示動作の間、間欠的にアノード電極22を0Vに低下させることにより、蛍光体膜23に蓄積した電荷が間欠的に除去される。従って表示動作が連続的に行われて内部にガスが溜まったとしても、蛍光体膜23の帯電電荷が少なく抑えられる結果、残留ガスのイオン化が抑えられ、エミッタ破壊が防止される。また、除電電極17についても同様に間欠的に負バイアスされる結果、素子領域周囲の帯電電荷が除去されて、放電によるエミッタ破壊が防止されることになる。なお、60フレームのうち1フレームの画像表示を行わなくても、全体として画質の低下は殆どない。

【0020】図5は、別の表示制御動作例を示している。先の実施例では、1sec(60フレーム)毎に除電期間を設けたのに対して、図5の例では各フレーム毎に除電期間を設けている。各フレームの時間が通常の動作に比べて僅かに短くなるが、これも画質等に大きな悪影響はない。更に図4、図5の動作例の他、適当なフレーム数毎に除電期間を挿入することによって、同様に連続表示によるエミッタ放電破壊を防止することが可能になる。

【0021】なお実施例では、アノード電極を間欠的に0Vに設定するようにしたが、必ずしも0Vである必要はなく、通常の表示動作において与えられるアノード電圧より低い電圧に下げることによって一定の効果が得られる。また、表示基板10側の除電電極17については、間欠的に負バイアスを与えることなく、常時接地(0V)としても、帯電防止電極として一定の効果が期待できる。

【0022】図2の実施例では、非表示領域のみに表示領域を囲む除電電極17を配設しているが、以下の様な変形も可能である。図6は、除電電極17に加えて、表示領域の画素の各列に沿って複数本の除電電極17'を配設したものである。これらの除電電極17'の両端は主たる除電電極17に電気的に接続されているものとする。更に図7は、図6での除電電極17'に加えて、表示領域の画素の各行に沿って複数本の除電電極17''を配設したものである。これらの除電電極17''の両端も主たる除電電極17に接続されているものとする。これら図6或いは図7の除電電極レイアウトを用いれば、図2の場合に比べて蛍光体膜のより近くに除電電極17'、17''が配置される結果、帯電電荷を除去する効率が增大する。

【0023】

【発明の効果】以上述べたようにこの発明によるFEDでは、アノード電極を表示動作内で間欠的に低電位にするというアノード駆動を行うことによって、アノード電

極上の蛍光体の帯電電荷を逃がすことができ、表示動作を連続して行ったときの残留ガスのイオン化を抑制して、エミッタの放電によるちらつきやエミッタ破壊を防止することができる。またこの発明によれば、表示基板側の非表示領域に除電電極を設けてこれを常時接地し、或いは間欠的に負電位に設定することにより、イオン化したガスが表示領域周囲に吸着することによる帯電電荷を除去することができ、これにより同様に、連続表示動作を行う場合のエミッタ放電を防止することができる。

【図面の簡単な説明】

【図1】 この発明の一実施例によるFEDのシステム構成を示す図である。

【図2】 同実施例のFED本体の構成を示す図である。

【図3】 同FED本体の要部構成を示す図である。

【図4】 同実施例の表示動作波形を示す図である。

【図5】 同実施例の他の表示動作波形を示す図である。

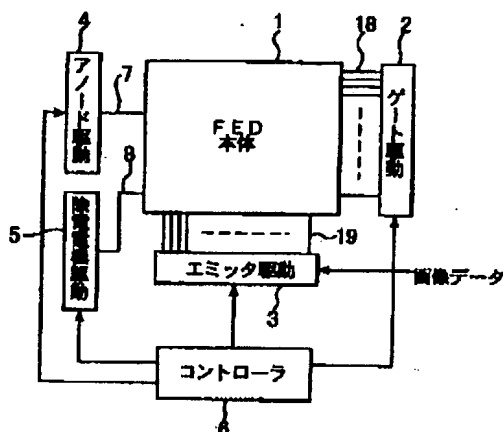
【図6】 他の実施例のFED本体の構成を示す図である。

【図7】 他の実施例のFED本体の構成を示す図である。

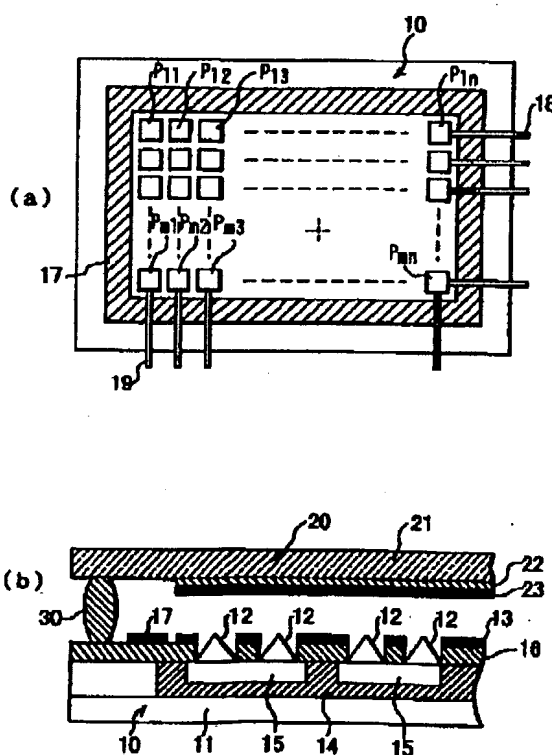
【符号の説明】

- 1…FED本体、2…ゲート駆動回路、3…エミッタ駆動回路、4…アノード駆動回路、5…除電電極駆動回路、6…コントローラ、7…アノード電極端子、8…除電電極端子、10…表示基板、11…シリコン基板、12…電界放出型エミッタ、13…ゲート電極、14、16…絶縁層、15…エミッタ電極、17…除電電極、18…ゲート信号線、19…エミッタ信号線、20…対向基板、21…透明基板、22…アノード電極、23…蛍光体膜、30…封止材。

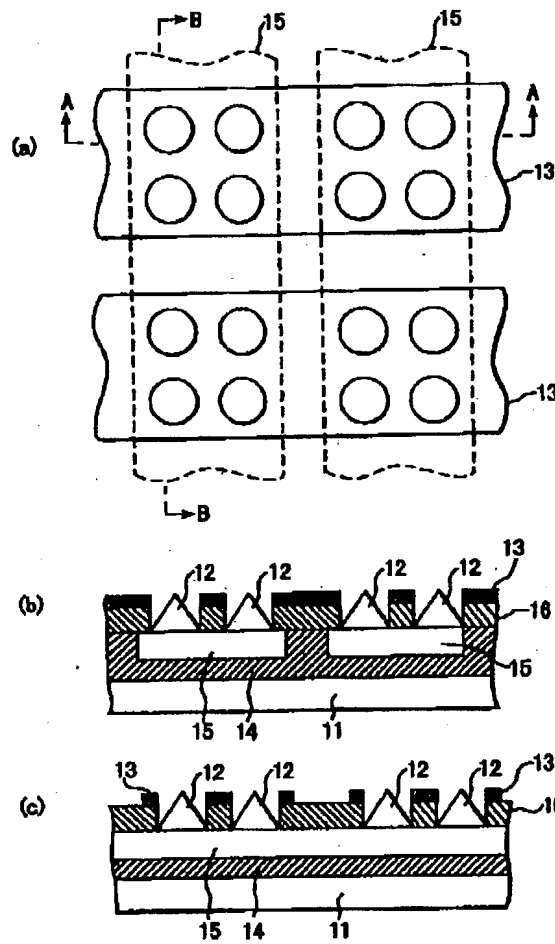
【図1】



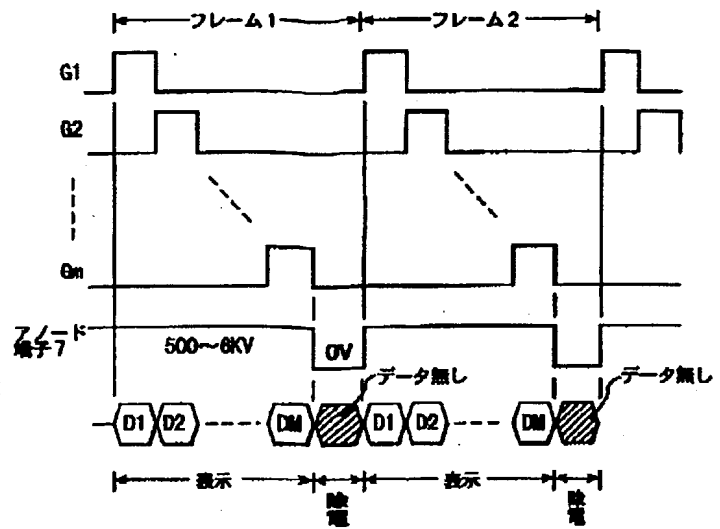
【図2】



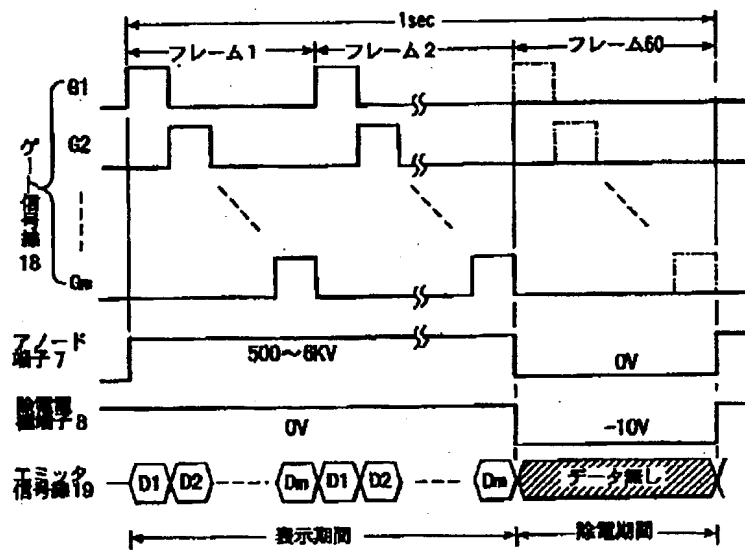
【図3】



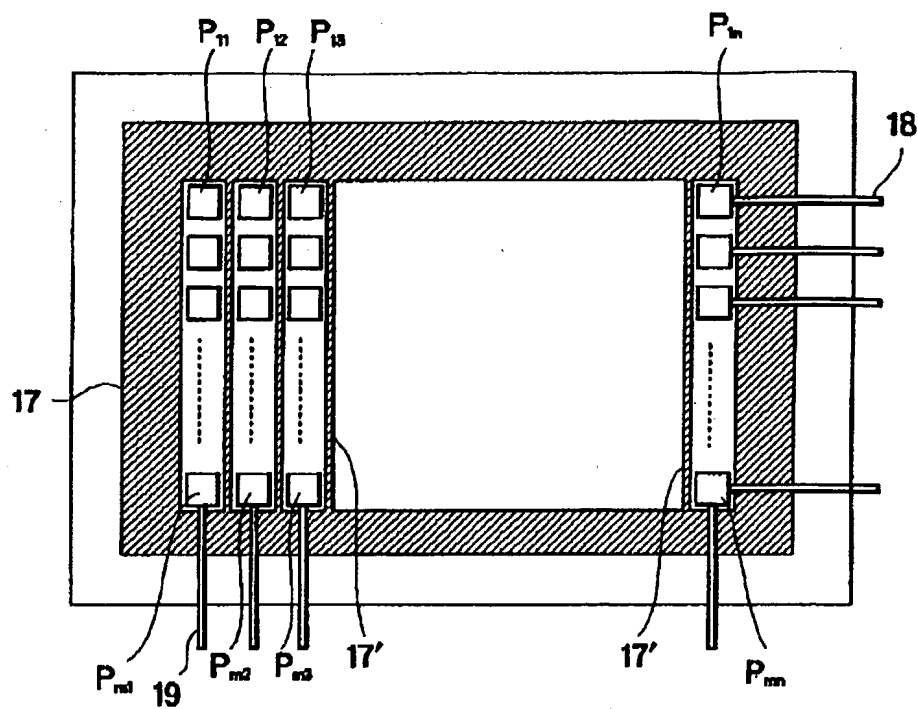
【図5】



【図4】



【図6】



【図7】

